

KOMISIJI ZA STUDIJE II STEPENA ELEKTROTEHNIČKOG FAKULTETA U BEOGRADU

Komisija za studije II stepena, Elektrotehničkog fakulteta u Beogradu, na svojoj sednici održanoj 02.06.2015 + godine imenovala nas je u Komisiju za pregled i ocenu master rada dipl. inž. Dragana Veljovića pod naslovom „Redukcija neusaglašenosti između topologije DataFlow grafa i topologije FPGA strukture: Kompilacija za dvo-ulazne i tro-ulazne sabirače“. Nakon pregleda materijala Komisija podnosi sledeći

IZVEŠTAJ

1. Biografski podaci kandidata

Dragan D. Veljović je rođen 05.09.1991. godine u Kragujevcu. Prvu kragujevačku gimnaziju je završio u Kragujevcu sa odličnim uspehom. Elektrotehnički fakultet u Beogradu upisao je 2010. godine, na odseku za računarsku tehniku i informatiku. Diplomirao je u oktobru 2014. godine sa prosečnom ocenom na ispitima 8.82, na diplomskom 10. Master studije na Elektrotehničkom fakultetu u Beogradu je upisao u oktobru 2014. godine na odseku za računarsku tehniku i informatiku.

2. Opis master rada

Master rad kandidata sadrži 67 strana teksta, zajedno sa slikama i dodacima. Rad sadrži sedamnaest poglavlja gde je šesnaesto poglavlje spisak literature, a sedamnaesto prilozi rada. Spisak literature sadrži sedamnaest referenci. Prilozi su organizovani u tri grupe: iskorišćenost resursa na Vectis kartici, prikaz vremenskih izveštaja i deo izvornog koda.

Prvo poglavlje predstavlja uvod u kome su opisani predmet i cilj rada. Definisan je domen benefita, kao i ciljani elementi iz tog domena.

Drugo poglavlje predstavlja trenutno vodeći pristup u svetu računarstva, von Neuman-ovu mašinu i metod njenog funkcionisanja. Na dalje se ističu mane pristupa, kao i gde su mogućnosti za nove tehnologije.

U trećem poglavlju je predstavljena dataflow paradigma, kao i dva idejna pristupa istoj. Pokazana je nadmoćnost Maxeler pristupa, te se na dalje diskutuje samo o ovom pristupu.

Četvrto poglavlje predstavlja MaxCompiler kao glavnu podršku Maxeler dataflow paradigmi. Takođe je predstavljen dataflow graf kao najbitniji rezultat procesa prevođenja jednog Maxeler programa.

U petom poglavlju su prikazane metode za otklanjanje grešaka u simulaciji: simulacioni posmatrač i simulacioni ispis.

U šestom poglavlju su prikazane metode za otklanjanje grešaka kada se dizajn mapira na realan hardver: hardverski ispis.

Sedmo poglavlje donosi napredne tehnike za otklanjanje grešaka. Demonstrira se korišćenje interaktivnog debugger-a, a onda i onog koji se nudi kao alat komandne linije. Demonstriraju se problemi Kernel-a blokiranog na ulazu, blokiranog na izlazu, problem zaključavanja (eng. *deadlock*). Prikazana je upotreba statusnih blokova tokova.

Osmo poglavlje se bavi razlikama između simulacije i pravog hardvera, kao i posledicama razlika.

Deveto poglavlje prikazuje ugrađene optimizacione tehnike, lako dostupne programeru. Ove optimizacione metode su podeljene u dve grupe: one dostupne na nivou Kernel-a i one dostupne na nivou Manager-a.

Deseto poglavlje se bavi tehnikama za maksimizovanje performansi. Daje se nekoliko pristupa u zavisnosti od nivoa popunjenosti čipa i željene frekvencije.

Jedanaesto poglavlje se bavi nedeterminizmom procesa raspoređivanja i dovodi ga u vezu sa Prigogine-ovim izlaganjima o disipativnim strukturama.

Dvanaesto poglavlje predstavlja topologiju izvršnog grafa, tabele koštanja i ograničenja koja se koriste pri samom raspoređivanju.

Tema trinaestog poglavlja je neusaglašenost topologija grafa koji generiše prevodilac i grafa (strukture) na samom čipu. Objasnjene su i posledice ove razlike.

U četrnaestom poglavlju, na primeru kompilacije za dvo-ulazne i tro-ulazne sabirače, prikazano je rešenje za minimizaciju pomenute neusaglašenosti.

Petnaesto poglavlje predstavlja zaključak.

3. Analiza rada sa ključnim rezultatima

Master rad dipl. inž. Dragana Veljovića se bavi prezentovanjem Maxeler dataflow paradigme – kao vodeće paradigme dataflow super-računarstva i njenim prednostima u odnosu na glavne control flow ekvivalente. Kao glavni inženjerski izazov predstavljena je neusaglašenost topologije dataflow grafa i topologije FPGA strukture. Prikazane su Maxeler metode i tehnologije za minimizaciju ovog efekta na primeru kompilacije za dvo-ulazne i tro-ulazne sabirače.

Osnovni doprinosi rada su:

- (a) elaboracija Maxeler alata za projektovanje, testiranje i optimizaciju dataflow dizajna;
- (b) demonstracija Maxeler metodologije za generisanje dizajna maksimalnih performansi;
- (c) primena pomenutih mehanizama za redukciju neusaglašenosti topologije dataflow grafa i topologije FPGA strukture;
- (d) prikazane metodologije i alati mogu da nađu svoju primenu u razvoju svih novih Maxeler dataflow aplikacija;
- (e) aspekt rizika koje donose pomenuta rešenja i diskusija o posledicama rizika ostaju za neka naredna istraživanja.

4. Zaključak i predlog

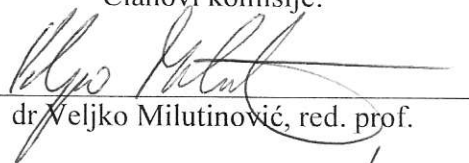
Kandidat Dragan Veljović je u svom master radu uspešno rešio problem neusaglašenosti topologije dataflow grafa i topologije FPGA strukture. Predložena rešenja, alati i metodologije mogu značajno da poboljšaju performanse postojećih i pomognu u razvoju i optimizaciji budućih Maxeler dataflow rešenja.

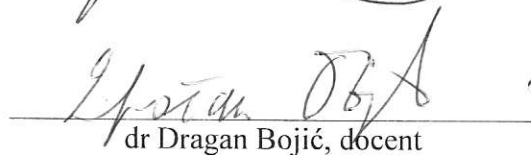
Kandidat je iskazao samostalnost i sistematičnost u svome postupku kao i inovativne elemente u rešavanju problematike ovog rada.

Na osnovu gore navedenog Komisija predlaže Nastavno-naučnom veću Elektrotehničkog fakulteta u Beogradu da prihvati rad „Redukcija neusaglašenosti između topologije DataFlow grafa i topologije FPGA strukture: Kompilacija za dvo-ulazne i tro-ulazne sabirače“ dipl. inž. Dragana Veljovića kao master rad i odobri javnu usmenu odbranu.

Beograd, 14.9.2015.

Članovi komisije:


dr Veljko Milutinović, red. prof.


dr Dragan Bojić, docent